



⑮ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 100 36 643 A 1**

⑤ Int. Cl.<sup>7</sup>:  
**G 06 F 13/14**  
G 05 B 19/042  
G 06 F 12/06  
G 06 F 13/38

⑲ Aktenzeichen: 100 36 643.0  
⑳ Anmeldetag: 26. 7. 2000  
㉔ Offenlegungstag: 14. 2. 2002

DE 100 36 643 A 1

⑦ Anmelder:  
Robert Bosch GmbH, 70469 Stuttgart, DE

⑧ Erfinder:  
Zimmermann, Christian, 72072 Tübingen, DE;  
Kirschner, Manfred, 70197 Stuttgart, DE; Leibbrand,  
Beate, 75417 Mühlacker, DE; Aue, Axel, 70825  
Kornthal-Münchingen, DE

⑥ Entgegenhaltungen:

DE 196 09 883 C1  
DE 197 52 031 A1  
GB 22 64 576  
US 43 60 870  
EP 07 33 976 A1  
JP 10-97 463 A

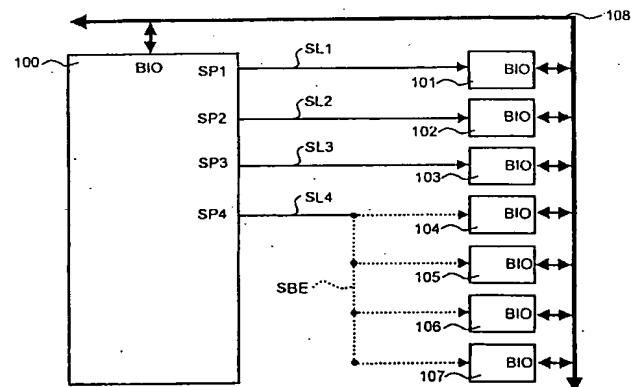
Method for Address Decode for Input/Output  
Devices  
IBM Technical Disclosure Bulletin, Jan 1989,  
202-203;  
Programmable Identification For I/O Devices IBM  
Technical Disclosure Bulletin, Aug. 1979,  
882-883;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤ Verfahren und Vorrichtung zur Steuerung von Betriebsabläufen

⑤ Verfahren und Vorrichtung mit einem Prozessorbaustein zur Steuerung von Betriebsabläufen, insbesondere bei einer Motorsteuerung in einem Kraftfahrzeug, wobei Peripherieelemente durch einen Prozessorbaustein mit einer vorgegebenen Anzahl von Auswahlchnittstellen durch über diese Auswahlchnittstellen ausgegebenen Auswahlsignale ausgewählt werden und die zu den Peripherieelementen Instruktionen über wenigstens eine Informationsschnittstelle des Prozessorbausteins übertragen werden. Dabei werden den Instruktionen Auswahlkennungen zugeordnet und mit diesen zusammen übertragen. Somit erfolgt eine Auswahl der Peripherieelemente durch ein Auswahlsignal und eine Auswahlkennung.



DE 100 36 643 A 1



## Beschreibung

## Stand der Technik

[0001] Die Erfindung betrifft ein Verfahren und eine Vorrichtung mit einem Prozessorbaustein zur Steuerung von Betriebsabläufen, insbesondere bei einer Motorsteuerung in einem Kraftfahrzeug, wobei zur Steuerung der Betriebsabläufe Peripherieelemente ausgewählt bzw. angesteuert werden gemäß den Oberbegriffen der unabhängigen Ansprüche.

[0002] Zur Auswahl bzw. Adressierung von Peripherieelementen, insbesondere Teilnehmern an einem Bussystem, stellen Prozessorbausteine, insbesondere Controller, mehrere Auswahlchnittstellen bzw. Auswahlleitungen (Selektleitungen) zur Verfügung, wobei mit jeder Selektleitung jeweils ein Peripherieelement bzw. Teilnehmer angesprochen werden kann. Ein Teilnehmer wird somit durch Aktivieren seiner zugeordneten Selektleitung ausgewählt bzw. angesprochen. Damit ist die Anzahl möglicher Busteilnehmer bzw. Peripherieelemente, die durch den Prozessorbaustein ansprechbar sind, durch die vom Prozessorbaustein zur Verfügung gestellte Anzahl von Selektleitungen bzw. Selektsignalen bzw. Auswahlsignalen begrenzt.

[0003] Zur Erweiterung der Teilnehmerzahl wird aus einer Anzahl von Selektsignalen eine Codierung generiert. Diese Codierung muss dann durch Zusatzhardware, in der Regel einen Decodierbaustein wieder decodiert werden. Dabei ergibt sich durch die notwendige Decodierlogik ein Schaltungsmehraufwand, der zu Mehrkosten und größerem Flächenbedarf der Leiterplatte führt.

[0004] Der Einsatz einer solchen Decodierlogik ist im Artikel "EPROM decoder for device selection" von K. J. Whiteley aus der Fachzeitschrift "Electronic Engineering", volume 58, number 714, Seite 36 von Juni 1986 bekannt. Üblicherweise wird als Decodierlogik dabei eine Anzahl TTL-Bausteine hart verdrahtet, um die Auswahlfunktion darzustellen. In dem genannten Artikel wird die Selektion bzw. Ansteuerung einzelner Peripheriebausteine durch ein EPROM realisiert. Ist die Anzahl der Auswahlgänge bzw. Auswahlchnittstellen des EPROMs gegenüber der Anzahl der anzusteuern Peripheriebausteine zu gering, wird mit Hilfe eines Decodierbausteins hier ein 4:16-Decoder, welcher zwischengeschaltet ist, eine Aufweitung der Auswahlmöglichkeiten erzielt. Durch Einsatz des Decodierbausteins können somit mehr als die maximal mögliche Anzahl von Peripheriebausteinen über das EPROM ausgewählt bzw. angesteuert werden.

[0005] Der Aufbau einer solchen Adressendecodierung mit TTL-Bausteinen ist ebenfalls in dem Fachbuch "PC-gesteuerte Messtechnik" von Klaus Dembowski von 1993 dargestellt, welches im Markt & Technik Buch- und Softwareverlag GmbH & Co. unter der ISBN-Nummer 3-87791-516-7 erschienen ist. Auf den Seiten 58 bis 65 wird dabei der Aufbau von Decodierschaltungen, für welche logische Bausteine, die TTL-Bausteine, Vergleichersbausteine oder PAL (Programmable Array Logic)-Bausteine eingesetzt werden, dargestellt.

[0006] Auch hier ergibt sich durch die notwendige Decodierlogik ein Schaltungsmehraufwand, der zu Mehrkosten und größerem Flächenbedarf für die Leiterplatte führt.

[0007] Dieser Schaltungsmehraufwand soll nun erfindungsgemäß vermieden werden.

## Vorteile der Erfindung

[0008] Die Erfindung geht aus von einem Verfahren und einer Vorrichtung mit einem Prozessorbaustein zur Steuerung von Betriebsabläufen, insbesondere bei einer Motor-

steuerung in einem Fahrzeug. Dabei werden Peripherieelemente durch einen Prozessorbaustein mit einer vorgegebenen Anzahl von Auswahlchnittstellen durch über diese Auswahlchnittstellen ausgegebene Auswahlsignale ausgewählt, wobei zudem Peripherieelemente außerdem Instruktionen bzw. Befehle und/oder Daten über wenigstens eine Informationsschnittstelle des Prozessorbausteins übertragen.

[0009] Vorteilhafterweise werden dabei den Instruktionen Auswahlkennungen zugeordnet und mit diesen übertragen. Die Auswahl der Peripherieelemente bzw. eines Peripherieelementes erfolgt damit durch ein Auswahlsignal und die Auswahlkennung. Von Vorteil ist, dass dadurch eine Erweiterung der Anzahl der ansteuerbaren bzw. ansprechbaren Peripherieelemente, insbesondere Busteilnehmer ohne zusätzlichen Hardwaremehraufwand möglich ist. Damit lässt sich zweckmäßigerweise z. B. der SPI (Serial Peripheral Interface)-Bus ebenso wie andere vergleichbare Bussysteme ohne die Mehrkosten bzw. den Schaltungsmehraufwand erweitern.

[0010] Zweckmäßigerweise können somit mehrere Peripherieelemente an eine Auswahlchnittstelle des Prozessorbausteins angeschlossen werden und trotzdem einzeln ausgewählt bzw. angesprochen werden, wobei sich die Peripherieelemente, welche an der selben Auswahlchnittstelle angekoppelt sind zweckmäßigerweise voneinander unterscheiden.

[0011] Vorteilhafterweise kann dabei die Auswahlkennung und die Instruktion in digitaler Form als Gesamtheit aus binären Einzelsignalen (Bits) übertragen werden, wobei die Auswahlkennung einen Teil der Bits der Instruktion mit vorgegebener Bitlänge ersetzt, so dass die übertragene Auswahlkennung und Instruktion in ihrer Gesamtheit die gleiche Bitzahl wie vorher die Instruktion alleine aufweist.

[0012] Als vorteilhafte Weiterbildung, wenn die gleiche Anzahl an Instruktionen bzw. Befehlen auch nach Zuordnung der Auswahlkennung zur Verfügung stehen soll, wird die Gesamtheit aus Auswahlkennung und Instruktion in ihre Bitzahl um die Bitanzahl der Auswahlkennung erhöht. Wird beispielsweise der Befehl bzw. die Instruktion in einem Datenrahmen übertragen, wird damit der Datenrahmen vergrößert bzw. der Bitinhalt des Rahmens erhöht.

[0013] Damit ist vorteilhafterweise die Anzahl bzw. das Ansprechen von mehr als der Anzahl der Auswahlchnittstellen des Prozessorbausteins entsprechenden Zahl von Peripherieelementen bzw. Busteilnehmern möglich, indem die Businstruktionswörter bzw. Busbefehlswörter um ein oder mehrere Auswahlbits bzw. Selektbits erweitert werden, wodurch die Anzahl der möglichen Teilnehmer, also Peripherieelemente ohne zusätzliche Hardwaremaßnahme erhöht wird.

## Zeichnung

[0014] Nachfolgend wird die Erfindung anhand der in der Zeichnung dargestellten Figuren näher erläutert.

[0015] Dabei zeigt Fig. 1 eine schematische Darstellung eines Prozessorbausteins mit angekoppeltem Bussystem und verschiedenen Peripherieelementen.

[0016] In Fig. 2 ist ein Instruktionswort bzw. ein Befehlswort (beispielhaft 8 Bit) erfindungsgemäß dargestellt.

[0017] Fig. 3 schließlich offenbart ein Timing- bzw. Zeitablaufdiagramm der über die Auswahlchnittstellen bzw. die Informationsschnittstelle übertragenen Signale.

## Beschreibung der Ausführungsbeispiele

[0018] Fig. 1 zeigt einen Prozessorbaustein 100, der über



eine Bus-IO (BIO), also eine Busein-/ausgangsschnittstelle an ein Bussystem, beispielsweise einen SPI-Bus 108 angekoppelt ist und darüber kommuniziert. Der Prozessorbaustein 100 weist des Weiteren Auswahlsschnittstellen, sogenannte Selektports SP1 bis SP4 auf, über die über Selektleitungen SL1 bis SL4 Peripherieelemente 101 bis 107 angeschlossen sind. Im Stand der Technik können bei Direktanschluß über die hier gezeigten vier Selektleitungen SL1 bis SL4 bzw. die entsprechenden Auswahlsschnittstellen SP1 bis SP4 maximal vier Peripherieelemente 101 bis 104 vom Prozessorbaustein ausgewählt bzw. angesprochen werden. Durch die später noch genauer zu erläuternde Erweiterung mit einer Auswahlkennung, kurz als SBE (Selekt-Bit-Erweiterung) bezeichnet, können dann zusätzlich zu den Peripherieelementen 101 bis 104 die Peripherieelemente 105 bis 107 durch den Prozessorbaustein angewählt, insbesondere einzeln ausgewählt werden.

[0019] Des Weiteren wird bei dem Bussystem 108 insbesondere von einem SPI-Bus als Beispiel ausgegangen. Andere Bussysteme vergleichbarer Möglichkeiten und Anwendungsfälle können dabei ebenso erfindungsgemäß eingesetzt werden.

[0020] Die SPI-Kommunikation läuft in der Regel wie folgt ab: Der Controller bzw. Prozessorbaustein 100 aktiviert das für den anzusprechenden SPI-Baustein, also das Peripherieelement zuständige Selektsignal über die entsprechende Auswahlsschnittstelle SP1 bis SP4 und sendet anschließend einen Befehl bzw. eine Instruktion und gegebenenfalls Daten über den SPI-Bus 108. Der gesendete Befehl, die Instruktion (im Beispiel 1 Byte) besteht aus Befehlsbits, also binären Einzelsignalen. Dabei können im Umfang der gesendeten Instruktion auch Zusatzinformationen, beispielsweise zur Fehlerkorrektur enthalten sein. Bei einer solchen herkömmlichen Befehlsstruktur sind dann beispielsweise sechs Instruktionsbits oder Befehlsbits instr0 bis instr5 abgelegt unter Bit 2 bis Bit 7 der gesendeten Instruktion sowie ein Bit zur Fehlerüberprüfung, beispielsweise abgelegt unter Bit 1 (z. B. für einen Even Parity Check oder einen Cyclic Redundancy Check) und unter Bit 0 weitere mögliche Zusatzinformationen abgelegt. Damit sind dann wie dargestellt bei sechs Befehlsbits instr0 bis instr5 maximal  $2^6 = 64$  unterschiedliche Instruktionen bzw. Befehle pro Baustein übertragbar.

[0021] In Fig. 2 ist nun ein Informationsrahmen 200, insbesondere ein Befehls- bzw. Instruktionswort erfindungsgemäß dargestellt. Darin sind mit Bit 0 beliebige Zusatzinformationen beispielsweise zur Fehlerkorrektur, in Bit 1 ein parity-Bit beispielsweise für einen Even Parity Check dargestellt. Ebenso können Bit 0 und Bit 1 als Kontrolle im Rahmen eines Cyclic Redundancy Checks CRC Verwendung finden. Aus den vorher beschriebenen Befehlsbits bzw. Instruktionsbits instr0 bis instr5, also Bit 2 bis Bit 7 werden nun zwei hier dargestellte Bit 6 und Bit 7 durch Auswahlbits, sogenannte Selektbits SB select0 und select1, ersetzt. Dadurch sind durch die vier Instruktionsbits instr0 bis instr3 zwar nunmehr  $2^4$ , also 16 unterschiedliche Befehle pro Baustein übertragbar, aber es können deutlich mehr Peripherieelemente bzw. Bausteine, hier vier statt einem pro Auswahlsschnittstelle ausgewählt werden.

[0022] Erfindungsgemäß wird also der Befehl bzw. die Instruktion durch ein oder mehrere Bits zur Selektion der Bausteine select0, select1 erweitert. Dabei kann, wie hier dargestellt, ein Teil der Instruktionsbits ersetzt werden oder der Informationsrahmen 200 wird um die Selektbits SB erweitert und ist in diesem Fall nicht mehr 8 Bit lang, sondern 10 Bit bzw. wird um ein weiteres Byte ergänzt, so dass dann volle 8 Bit zur Peripherieelementauswahl zur Verfügung stehen.

[0023] In beiden Fällen geschieht das Ansprechen dann durch das Selektsignal über die Auswahlsschnittstellen SP1 bis SP4 und die entsprechenden Selektbits SB in der Instruktion. Damit ist es nun möglich, mehrere SPI-Bausteine an eine Selektleitung zu hängen. Die endgültige Unterscheidung erfolgt dann über die neuen Selektbits, insbesondere zu Beginn der Instruktion. Damit entsteht die in Fig. 2 dargestellte Befehlsstruktur oder als Weiterbildung die mit vergrößertem Informationsrahmen bzw. Instruktionsrahmen mit z. B. 2 Byte.

[0024] Durch die Verwendung der Selektbits SB im Informationsrahmen, insbesondere Instruktionsrahmen 200 ist dann die in Fig. 1 dargestellte Selekt-Bit-Erweiterung SBE durchführbar, wodurch dann statt der Peripherieelemente 101 bis 104 mit weiterhin vier Auswahlsschnittstellen nun Peripherieelemente 101 bis 107 ausgewählt und angesteuert werden können. Diese Peripherieelemente sind beispielsweise ein Endstufenschaltkreis, ein Stabilisierungsschaltkreis inklusive Watchdog, ein reiner Überwachungsschaltkreis (Watchdog), weitere z. B. einspritzspezifische Endstufenschaltungen oder auch ein serielles EPROM. Die dargestellte SPI-Funktionalität der Peripherieelemente ist beispielsweise die Initialisierung, die Kommunikation mit der Überwachungsschaltung, insbesondere dem Watchdog, Endstufendiagnose, Einlesen von Eingängen, Schreiben und Lesen von Daten.

[0025] Fig. 3 zeigt dazu in einem Timingdiagramm über der Zeit t einen beispielhaften Signalverlauf an den Auswahlsschnittstellen SP1 bis SP4 bzw. den zugehörigen Selektleitungen SL1 bis SL4 sowie der Busschnittstelle BIO. Das Selektsignal kann dabei z. B. zwei Werte "high" und "low" annehmen wie bei SP1 bis SP4 dargestellt. In diesem Beispiel sind die Auswahlsschnittstellen bzw. die Selektsignale SP1 bis SP3 high, wenn man einen Selekt-Low-Betrieb zu Grunde legt. Das bedeutet, in diesem Beispiel gibt das Schalten des Niveaus von high auf low auf einer Leitung die Auswahl eines Peripherieelementes an. Ebenso ist aber die umgekehrte Logik, also ein Selekt-High-Betrieb denkbar. In diesem Beispiel wird bei tps der Selektport, also die Auswahlsschnittstelle SP4 von high auf low geschaltet. Im Zeitpunkt ts1 wäre somit, wie im Stand der Technik dargestellt, bei einer Anordnung, bei welcher ein Peripherieelement je Selektport vorgesehen ist, das Peripherieelement über Selektport SP4 gewählt.

[0026] Beim im Rahmen des Standes der Technik beschriebenen Beispiel mit Zusatzhardware, insbesondere einem Decodierbaustein wäre durch die vier Selektports SP1 bis SP4 beispielsweise SP1 high, SP2 high, SP3 high, SP4 low (h h h l) nach Ablauf einer gewissen Verarbeitungszeit ts2 – ts1 im Zeitpunkt ts2 die Auswahl erfolgt.

[0027] Zum Zeitpunkt t transmit tr wird mit der Übertragung von Instruktionen und/oder Daten über die Bus IO BIO und somit über das Bussystem 108 begonnen. Somit erfolgt die erfindungsgemäße Auswahl nach Auswertung der beiden Selektbits SB im Rahmen der Instruktion zum Zeitpunkt ts3. Im Anschluss an die Instruktion bzw. Instruktionen können dann Daten, wie in Fig. 3 dargestellt, übertragen werden.

[0028] Anstelle der direkten Adressierung eines Peripherieelementes, hier eines SPI-Bausteines über eine direkt zugeordnete Selektleitung oder im Rahmen einer Erweiterung durch einen Decodierbaustein und einer Signalcodierung werden hier also die SPI-Befehlsörter bzw. Instruktionswörter um ein oder mehrere Selektbits erweitert, wodurch ohne zusätzlichen Hardwareaufwand und zusätzliche Hardwaremaßnahmen im Steuergerät mehrere Bausteine an einer Selektleitung angeschlossen werden können, was große Einsparpotentiale im Rahmen der Kosten und der Leiterplatten-



fläche bzw. des Schaltungsaufwandes beinhaltet.

#### Patentansprüche

1. Verfahren zur Steuerung von Betriebsabläufen, insbesondere bei einer Motorsteuerung in einem Kraftfahrzeug, wobei Peripherieelemente durch einen Prozessorbaustein mit einer vorgegebenen Anzahl von Auswahlchnittstellen durch über diese Auswahlchnittstellen ausgegebene Auswahlssignale ausgewählt werden, wobei zu den Peripherieelementen Instruktionen über wenigstens eine Informationsschnittstelle des Prozessorbausteins übertragen werden, **dadurch gekennzeichnet**, dass den Instruktionen Auswahlkennungen zugeordnet und mit diesen übertragen werden, wobei die Auswahl eines Peripherieelementes durch ein Auswahlssignal und eine Auswahlkennung erfolgt. 5
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Auswahlkennung und die Instruktion in digitaler Form als Gesamtheit aus binären Einzelsignalen übertragen werden und die Auswahlkennung einen Teil der Einzelsignale der Instruktion, welche eine vorgegebene Anzahl an Einzelsignalen aufweist, ersetzt, so dass die übertragene Auswahlkennung und Instruktion als Gesamtheit wieder die gleiche, vorgegebene Anzahl an Einzelsignalen aufweist. 10
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Auswahlkennung und die Instruktion in digitaler Form als Gesamtheit aus binären Einzelsignalen übertragen werden, wobei eine Auswahlkennung die Instruktion, welche eine vorgegebene Anzahl an Einzelsignalen aufweist, ergänzt, so dass die Anzahl der Einzelsignale in der übertragenen Auswahlkennung und Instruktion als Gesamtheit größer als die vorgegebene Anzahl an Einzelsignalen ist. 15
4. Vorrichtung zur Steuerung von Betriebsabläufen, insbesondere bei einer Motorsteuerung in einem Kraftfahrzeug mit einem Prozessorbaustein und Peripherieelementen, wobei der Prozessorbaustein und die Peripherieelemente über eine Informationsschnittstelle verbunden sind und der Prozessorbaustein weiterhin eine vorgegebene Anzahl von Auswahlchnittstellen aufweist, über welche die Peripherieelemente ebenfalls mit dem Prozessorbaustein in Verbindung stehen und die Peripherieelemente durch über die Auswahlchnittstellen ausgegebene Auswahlssignale durch den Prozessorbaustein ausgewählt werden, wobei an die ausgewählten Peripherieelemente Instruktionen über die Informationsschnittstelle übermittelt werden, dadurch gekennzeichnet, dass erste Mittel enthalten sind, welche den Instruktionen Auswahlkennungen zuordnen und zweite Mittel enthalten sind, welche ein Peripherieelement aufgrund des Auswahlssignals und der Auswahlkennung auswählen. 20
5. Vorrichtung nach Anspruch 4, dadurch gekennzeichnet, dass an eine Auswahlchnittstelle des Prozessorbausteins wenigstens zwei Peripherieelemente anschließbar sind, wobei die Peripherieelemente sich voneinander unterscheiden. 25
6. Prozessorbaustein zur Steuerung von Betriebsabläufen insbesondere bei einer Motorsteuerung in einem Kraftfahrzeug, wobei der Prozessorbaustein eine Informationsschnittstelle sowie eine vorgegebene Anzahl von Auswahlchnittstellen aufweist, wobei der Prozessorbaustein über die Auswahlchnittstellen Auswahlssignale ausgibt und über die Informationsschnittstelle Instruktionen, wobei durch die über die Auswahlchnittstellen ausgegebenen Auswahlssignale Peripherieele-

mente ausgewählt werden und an die ausgewählten Peripherieelemente die jeweiligen Instruktionen über die Informationsschnittstelle übermittelt werden, dadurch gekennzeichnet, dass erste Mittel enthalten sind, welche den Instruktionen Auswahlkennungen zuordnen und mit den Instruktionen über die Informationsschnittstelle ausgeben, wobei durch die Auswahlkennungen und die Auswahlssignale die jeweiligen Peripherieelemente ausgewählt werden.

---

Hierzu 2 Seite(n) Zeichnungen

---



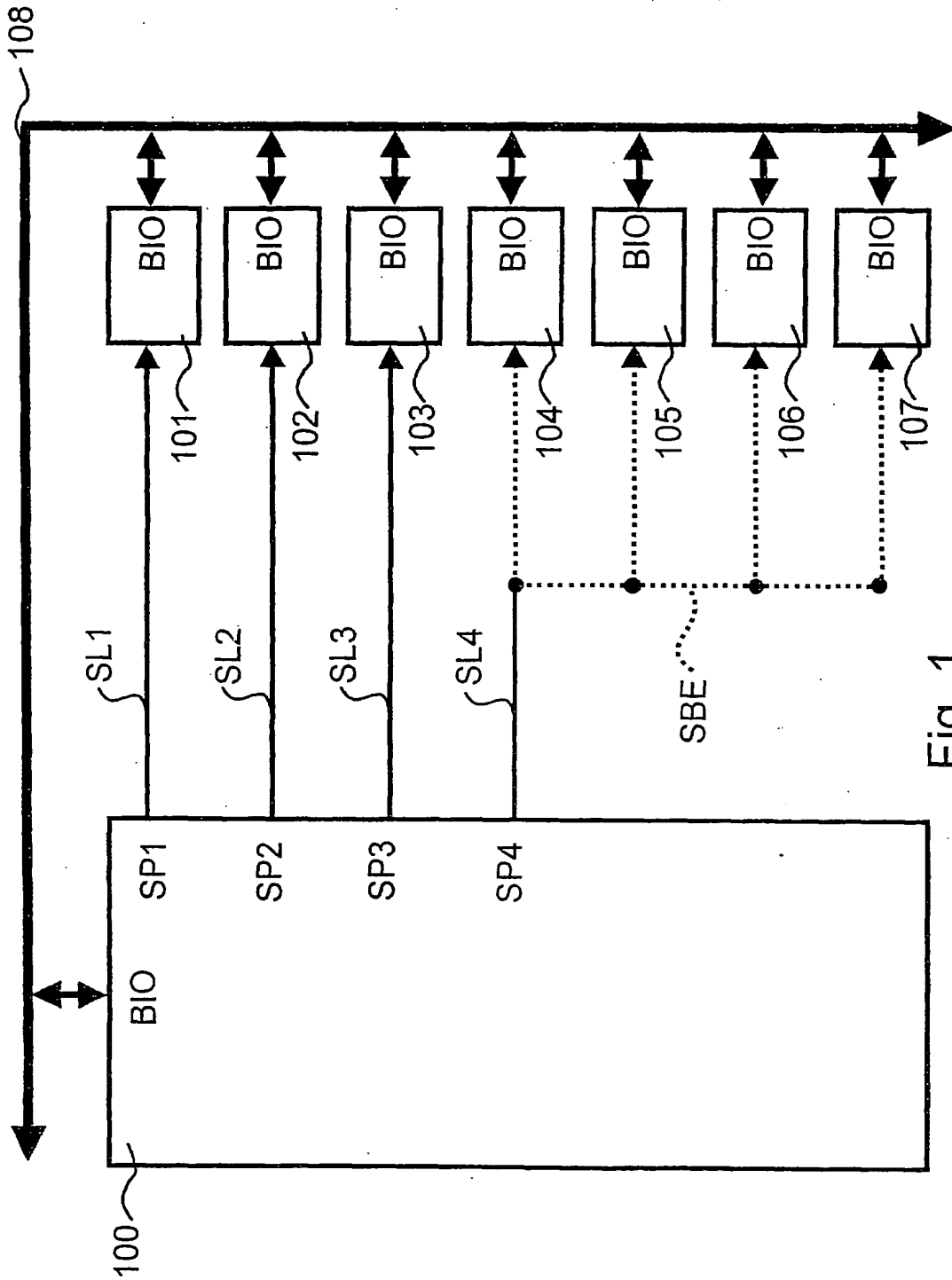


Fig. 1

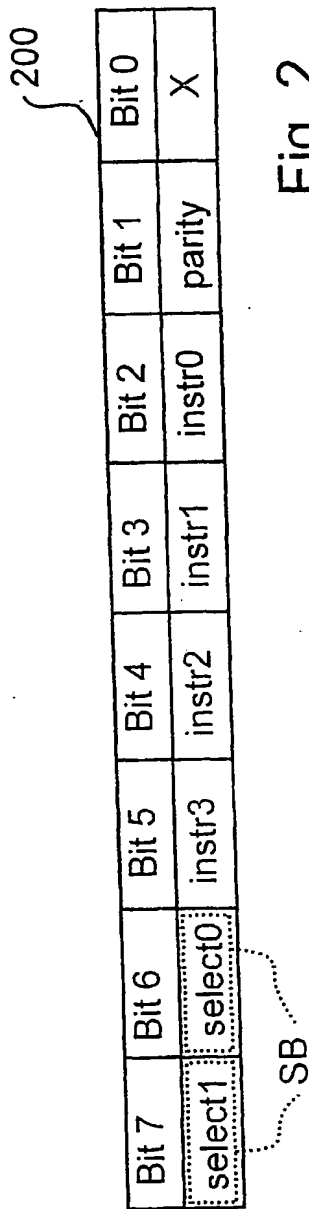


Fig. 2

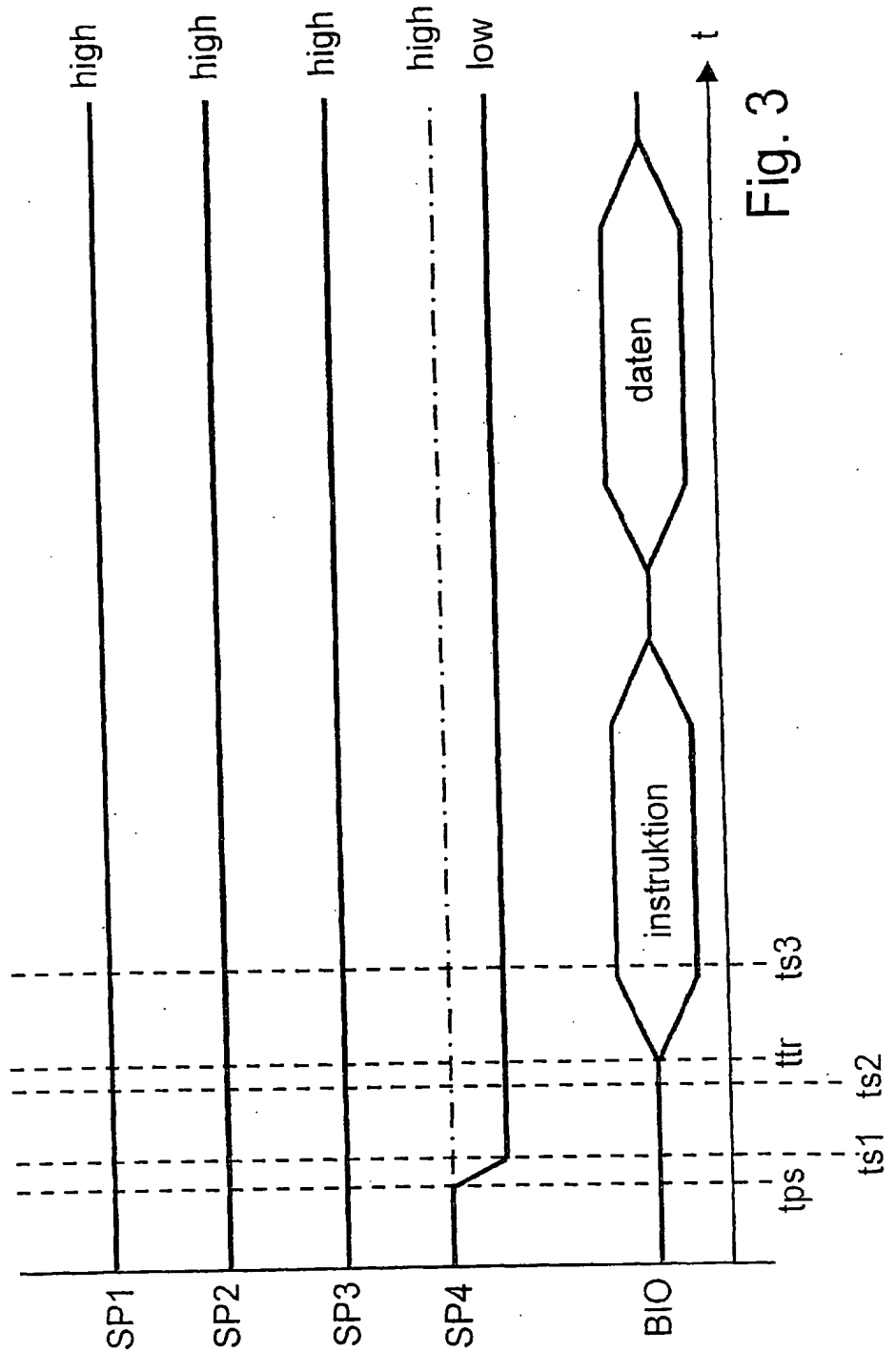


Fig. 3

